

JC971 U.S. PTO  
09/898699  
07/02/01

대한민국 특허청  
KOREAN INDUSTRIAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

출원번호 :  
Application Number

특허출원 2000년 제 37769 호

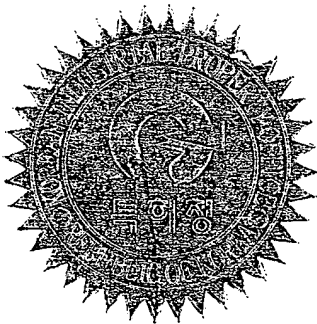
출원년월일 :  
Date of Application

2000년 07월 03일

출원인 :  
Applicant(s)

삼성전자 주식회사

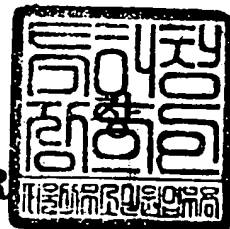
CERTIFIED COPY OF  
PRIORITY DOCUMENT



2000      11      23  
년      월      일

특      허      청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2000.07.03
【국제특허분류】	H01L
【발명의 명칭】	정보의 비교-기록 기능을 구비하는 반도체 메모리 장치 및 이의 정보 처리방법
【발명의 영문명칭】	Semiconductor memory device with method for depth compare write
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【대리인】	
【성명】	이래호
【대리인코드】	9-1999-000226-8
【포괄위임등록번호】	2000-002818-3
【발명자】	
【성명의 국문표기】	이동우
【성명의 영문표기】	LEE,Dong Woo
【주민등록번호】	670710-1691712
【우편번호】	445-970
【주소】	경기도 화성군 태안읍 안녕리 남수원 현대아파트 106동 902호
【국적】	KR

**【발명자】****【성명의 국문표기】**

구자일

**【성명의 영문표기】**

K00, Ja I I

**【주민등록번호】**

591212-1000911

**【우편번호】**

138-160

**【주소】**

서울특별시 송파구 가락동 삼환아파트 1동 1104호

**【국적】**

KR

**【심사청구】**

청구

**【취지】**

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

이영필 (인) 대리인

정상빈 (인) 대리인

이래호 (인)

**【수수료】****【기본출원료】**

20 면 29,000 원

**【가산출원료】**

8 면 8,000 원

**【우선권주장료】**

0 건 0 원

**【심사청구료】**

15 항 589,000 원

**【합계】**

626,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

컴퓨터 시스템에서 메모리 메모리 버스의 성능을 향상시키기 위해 공간좌표 값을 변경기입하는데 필요한 메모리 버스 사용시간을 감소시켜 메모리성능을 향상시키는 메모리장치 및 메모리장치의 정보 처리방법이 제공된다. 상기 메모리장치는 메모리 셀 어레이와 메모리 컨트롤러로부터 입력되는 새로운 물체의 외부 정보와 상기 메모리 셀 어레이에 저장되어 있으며 새로운 물체의 좌표와 동일한 좌표에 해당하는 기존물체의 내부정보를 비교하고, 그 비교결과에 따라 상기 내부 정보를 상기 외부 정보로 변경하여 기록하는 정보변경회로를 구비한다. 상기 비교회로는 상기 외부정보가 상기 내부정보보다 낮으면 상기 내부정보를 변경하기 위해 상기 외부정보를 상기 메모리 셀 어레이로 출력하고 상기 내부정보가 변경되었음을 나타내는 신호를 메모리 컨트롤러로 출력한다. 도는 상기 비교회로는 상기 외부정보가 상기 내부정보보다 높으면 상기 내부정보를 변경하기 위해 상기 외부정보를 상기 메모리 셀 어레이로 출력하고 상기 내부정보가 변경되었음을 나타내는 신호를 메모리 컨트롤러로 출력한다.

**【대표도】**

도 3

**【명세서】****【발명의 명칭】**

정보의 비교-기록 기능을 구비하는 반도체 메모리 장치 및 이의 정보 처리방법  
{Semiconductor memory device with method for depth compare write}

**【도면의 간단한 설명】**

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1. 종래 메모리장치의 읽기 변경 기록(RMW)을 설명하기 위한 타이밍 다이어그램을 나타낸다.

도 2는 본 발명의 일 실시 예를 나타내는 정보의 비교 기능을 구비하는 메모리장치를 포함하는 메모리 시스템이다.

도 3은 도2의 메모리장치의 구체적인 회로를 나타내는 도면이다.

도 4는 본 발명의 일 실시 예를 나타내는 비교 기록기능을 수행하는 타이밍 다이어그램을 나타낸다.

도 5는 본 발명의 일 실시예를 나타내는 메모리 컨트롤러에 의해 제어되는 메모리 장치가 물체의 정보를 비교 기록하는 방법을 나타내는 흐름도이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 반도체 메모리 장치에 관한 것으로서, 특히 Z-버퍼링(Z-buffering)을

할 수 있는 기능을 구비하는 반도체 메모리 장치(semiconductor memory device) 및 이를 이용한 정보의 비교 기록하는 방법에 관한 것이다.

- <8> 일반적으로 2차원 그래픽(Two dimension graphic)에서 화면에 표현하고자 하는 물체가 화면상의 좌표(X, Y) 및 칼라로 표현된다. 그리고 기존 물체 대신에 새로운 물체(object)를 화면에 갱신하고자 할 경우에 새로운 물체를 구성하는 각 화소(pixel)의 좌표(X, Y)에 해당하는 메모리의 대응 위치에 칼라 값을 기록한 후 화면에 그 값을 뿌려주면 된다.
- <9> 그러나, 3차원 그래픽(Three dimension graphic)에서 Z-버퍼링, 또는 알파 블렌딩( $\alpha$ -blending), 또는 텍스춰 매핑(Texture mapping) 등의 3차원 기능이 요구되며, 이로 인하여 넓은 밴드 폭(wide band width)을 갖는 메모리장치가 요구 된다. 특히 Z-버퍼링에서는 3차원 게임 등과 같은 3차원 그래픽 어플리케이션 (graphic application)을 수행하기 위해서 2차원 그래픽에서의 X축, Y축에 대한 정보이외에 Z축에 대한 정보가 있어야 한다. 이 Z축의 정보가 화면상의 물체의 정보를 결정하며 사용자가 깊이를 느낀다. 이런 일련의 작용이 Z 버퍼링이다.
- <10> 따라서 새로운 물체를 화면에 갱신 할 경우에는, 기존의 물체를 구성하는 각 화소들의 공간좌표 값(Z 값 또는 정보(depth data)라 한다.)과 새로운 물체를 구성하는 각 화소들의 공간좌표 값을 비교(compare)하여, 갱신하고자 하는 새로운 물체의 화소들의 공간좌표 값이 낮을 때에 기존의 물체의 공간 좌표 값이 새로운 물체의 공간좌표 값으로 갱신된다.
- <11> 결국, 메모리 컨트롤러(memory controller)는 기존의 물체를 구성하는 각 화

소들의 공간 좌표 값을 메모리 장치로부터 읽어내어(read), 새로운 물체를 구성하는 각 화소들의 공간 좌표 값과 비교(compare)한 후, 공간좌표 값의 변경(modify)이 있으면, 새로운 물체의 공간좌표 값을 메모리 장치에 기입(write)한다. 이러한 동작이 읽기-변경-기입(Read Modify Write; 이하 RMW라 한다)이다.

<12> 도 1은 종래 메모리 장치의 읽기 변경 기입(RMW)을 설명하기 위한 타이밍 다이어그램이다.

<13> 도 1을 참조하면, 메모리 컨트롤러로부터 활성화 명령(activate; ACT)이 입력된 후, 클럭 사이클 3의 상승 에지(rising edge)에서 메모리 읽기 명령(Read command; RD)이 입력되면, 상기 읽기 명령(RD)에 의하여 선택된 상기 메모리 셀에 저장되어 있던 내부 정보는 데이터 입출력 핀들(DQ)를 통해 메모리 컨트롤러로 읽혀진다(Dout).

<14> 메모리 컨트롤러는 a 구간동안 기존 물체의 공간좌표 값(Dout)과 입력된 새로운 물체의 공간 좌표 값을 비교한다. 상기 비교 결과, 입력된 새로운 물체의 공간좌표 값(이하 '외부정보'라 한다,)이 기존 물체의 공간좌표 값(이하 '내부 정보'라 한다.)보다 낮으면, 상기 외부정보를 상기 메모리장치의 메모리 셀 어레이에 기입하기 위하여 준비를 한다. 기입명령(WR)이 있으면 데이터 입출력 핀에 스텐바이(stand-by) 상태로 있던 상기 외부정보(Din)는 기입 명령(WR)에 의하여 상기 메모리 장치의 선택된 메모리 셀 어레이에 기입된다.

<15> 한번의 공간좌표 값을 읽기-변경-기입(RMW)하기 위해서는 10클럭 사이클 즉, 활성화 명령(ACT)이 입력 된 후 프리차지(Pre)명령이 입력 될 때까지 최소한 10클럭 사이클이 필요하다. 10클럭 사이클이 필요한 이유는 공간좌표 값, 즉 깊이 정보(depth data)를 비교하는 로직이 메모리 컨트롤러에 포함되어 있고, 메모리 컨트롤러가 깊이 비교기능

(depth compare function)을 수행하기 때문이다.

- <16> 이 때문에 메모리 버스의 성능이 저하되고 한번의 공간좌표 값을 읽기 변경 기입 (RMW)하기 위한 시간이 지연되어 그래픽 성능이 저하되는 문제점이 있다.

**【발명이 이루고자 하는 기술적 과제】**

- <17> 따라서 본 발명이 이루고자하는 기술적 과제는, 메모리 버스의 성능을 향상시키고 공간좌표 값을 변경 기입하기 위한 시간을 감소시켜 그래픽성능을 향상시키는 메모리 장치의 정보를 제공하는 것이다.

- <18> 본 발명이 이루고자하는 다른 기술적 과제는, 메모리 버스의 성능을 향상시키고 공간좌표 값을 변경 기입하기 위한 시간을 감소시켜 그래픽성능을 향상시키는 메모리 장치의 정보 처리방법을 제공하는 것이다.

**【발명의 구성 및 작용】**

- <19> 상기 기술적 과제를 달성하기 위하여, 메모리 컨트롤러에 의해 제어되는 메모리장치는 메모리 셀 어레이와 상기 메모리 컨트롤러로부터 입력되는 새로운 물체의 외부정보와 상기 메모리 셀 어레이에 저장되어 있으며 상기 새로운 물체의 좌표와 동일한 좌표에 해당하는 기존물체의 내부정보를 비교하고, 그 비교결과에 따라 상기 내부정보를 상기 외부정보로 변경하여 기록하는 정보변경회로를 구비하는 것을 특징으로 하는 본 발명에 따른 메모리장치가 제공된다.

- <20> 상기 정보 변경회로는, 상기 정보가 변경되었음을 나타내는 신호를 상기 메



모리 컨트롤러로 출력한다. 또한 상기 정보 변경회로는 레지스터 및 비교회로를 구비한다. 상기 레지스터는 새로운 물체의 외부정보를 저장하며 상기 비교회로는 상기 레지스터에 저장된 새로운 물체의 좌표와 동일한 좌표에 해당하는 상기 기존물체의 내부 정보와 상기 레지스터에 저장된 외부 정보를 비교한다.

<21> 바람직하게는 상기 비교회로는 상기 외부 정보가 상기 내부 정보보다 낮으면 상기 내부 정보를 변경하기 위해 상기 외부 정보를 상기 메모리 셀 어레이로 출력하고, 상기 정보가 변경되었음을 나타내는 신호를 상기 메모리 컨트롤러로 출력한다.

<22> 바람직한 다른 실시예에 따르면 상기 비교회로는 상기 외부 정보가 상기 내부 정보보다 높으면 상기 내부 정보를 변경하기 위해 상기 외부 정보를 상기 메모리 셀 어레이로 출력하고, 상기 정보가 변경되었음을 나타내는 신호를 상기 메모리 컨트롤러로 출력한다.

<23> 상기 메모리 장치는 제어회로 및 상기 제어회로를 제어하기 위한 제 1제어핀을 더 구비한다. 상기 제 1제어핀은 메모리 컨트롤러로부터 제 1제어신호를 수신하며, 상기 제어회로는 상기 제 1제어신호가 액티브 상태(active)일 경우 상기 외부 정보를 상기 레지스터로 전송하고, 상기 제 1제어신호가 넌액티브(nonactive) 상태일 때는 상기 외부 정보를 상기 메모리 셀 어레이로 전송한다.

<24> 또한, 상기 메모리 장치는 비교회로를 제어하기 위한 제 2제어핀을 더 구비한다. 상기 제 2제어핀은 상기 메모리 컨트롤러로부터 제 2제어신호를 수신한다. 상기 비교회로는 상기 제 2제어신호가 넌액티브 상태일 때는 상기 내부 정보와 상기 저장된 외부 정보를 X비트씩 비교하고, 상기 제 2제어신호가 액티브 상태일 때는 상기 내부 정보와 상기 저장된 외부정보를 NX비트씩 비교하는 것을 특징으로 한다.

- <25>        상기 비교회로가 X비트씩 비교하는 경우에, 상기 비교회로는 상기 내부 정보의 낮은 X비트가 변경되었음을 나타내는 신호를 상기 제 1제어편을 통해 상기 메모리 컨트롤러로 출력하고, 상기 내부 정보의 높은 X비트가 변경되었음을 나타내는 신호를 상기 제 2제어편을 통해 상기 메모리 컨트롤러로 출력한다.
- <26>        상기 비교회로가 NX비트씩 비교하는 경우에, 상기 비교회로는 상기 정보의 NX비트가 변경되었음을 나타내는 신호를 상기 제 1제어편을 통해 상기 메모리 컨트롤러로 출력한다.
- <27>        본 발명이 이루고자하는 또 다른 기술적 과제는 메모리 컨트롤러에 의해 제어되는 메모리 장치가 물체의 정보를 처리하는 방법이다.
- <28>        상기 방법은 (a) 상기 메모리 컨트롤러로부터 새로운 물체의 외부 정보를 입력받아 저장하는 단계, (b) 상기 메모리 장치 내에 저장되어 있으며 상기 새로운 물체의 좌표와 동일한 좌표에 해당하는 기존 물체의 내부정보와 상기 저장된 외부정보를 비교하는 단계, (c) 상기 비교 결과에 따라 상기 내부정보를 대체하여 상기 외부정보를 저장하며, 상기 내부정보가 변경되었음을 나타내는 신호를 상기 메모리 컨트롤러로 출력한다.
- <29>        본 발명에 의한 일실시예에 따르면, 상기 (b)단계의 비교결과 상기 외부정보가 상기 내부정보보다 낮은 경우에, 상기 (c) 단계는 상기 내부정보를 대체하여 상기 외부정보를 저장하며 상기 내부정보가 변경되었음을 나타내는 신호를 상기 메모리 컨트롤러로 출력하는 단계를 구비한다.
- <30>        본 발명에 의한 다른 일실시예에 따르면 상기 (b)단계의 비교결과 상기 외부정보가 상기 내부정보보다 높은 경우에 상기 (c) 단계는 상기 내부정보를 대체하여 상기 외

부정보를 저장하며 상기 내부정보가 변경되었음을 나타내는 신호를 상기 메모리 컨트롤러로 출력하는 단계를 구비한다.

<31>       상기 정보 처리방법은 상기 (a)단계에 상기 메모리 컨트롤러로부터 제 1제어핀을 통해 제 1제어신호를 수신하는 단계를 더 구비하고, 상기 (a)단계는, 상기 제 1제어신호가 액티브 상태 일 때는 상기 외부 정보를 입력받아 저장하는 단계, 및 상기 제 1제어신호가 년액티브 상태일 때는 상기 외부 정보를 상기 메모리 장치 내의 메모리 셀 어레이에 기입하는 단계를 더 구비한다.

<32>       상기 정보 처리방법은 상기 (a) 단계에 상기 메모리 컨트롤러로부터 제 2제어핀을 통해 제 2제어신호를 수신하는 단계를 더 구비하고, 상기 (b)단계는 상기 제 2제어신호가 년액티브 상태 일 때는 상기 내부 정보와 상기 저장된 외부 정보를 X비트씩 비교하는 단계, 및 상기 제 2제어신호가 액티브 상태 일 때는 상기 내부 정보와 상기 저장된 외부 정보를 NX비트씩 비교하는 단계를 더 구비한다.

<33>       상기 (b)단계의 X비트씩 비교되는 경우, 상기 (c)단계는 상기 정보의 낮은 X비트가 변경되었음을 나타내는 신호를 상기 제 1제어핀을 통해 상기 메모리 컨트롤러로 출력하는 단계, 및 상기 정보의 높은 X비트가 변경되었음을 나타내는 신호를 상기 제 2제어핀을 통해 상기 메모리 컨트롤러로 출력하는 단계를 더 구비한다.

<34>       또는 상기 (b)단계의 X비트씩 비교되는 경우, 상기 (c)단계는 상기 정보의 높은 X비트가 변경되었음을 나타내는 신호를 상기 제 1제어핀을 통해 상기 메모리 컨트롤러로 출력하는 단계, 및 상기 정보의 낮은 X비트가 변경되었음을 나타내는 신호를 상기 제 2제어핀을 통해 상기 메모리 컨트롤러로 출력하는 단계를 더 구비한다.

- <35>       상기 (b)단계의 NX비트씩 비교되는 경우, 상기 (c)단계는 상기 정보의 NX비트가 변경되었음을 나타내는 신호를 상기 제 1제어핀을 통해 상기 메모리 컨트롤러로 출력하는 단계를 더 구비한다.
- <36>       본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시 예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <37>       이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 대하여, 동일한 참조부호는 동일한 부재임을 나타낸다.
- <38>       도 2는 본 발명에 따른 메모리 장치(22)를 포함하는 메모리 시스템이다. 상기 메모리 시스템은 메모리 컨트롤러(21) 모니터(미 도시) 및 상기 메모리 컨트롤러에 의하여 제어되는 메모리장치(22)를 포함한다. 도 2를 참조하면, 도 2는 상기 메모리 컨트롤러(21)와 상기 메모리장치(22)간의 명령신호(command signal)와 제어핀(DC0, DC1) 및 데이터 입출력 핀(DQ)을 통한 신호의 흐름을 나타낸다.
- <39>       도 2의 상기 메모리 컨트롤러(21)는 상기 메모리 장치(22)의 특정메모리 셀을 선택하는 어드레스(address)와 명령신호(command)를 발생한다. 상기 메모리 컨트롤러(21)는 제어핀 들(DC0, DC1)을 통해 제 1제어신호(액티브 또는 넌액티브) 및 제 2제어신호(액티브 또는 넌액티브)를 발생하며 데이터 입출력 핀(DQ)을 통하여 외부 정보를 메모리 장치(22)에 기입할 준비를 한다.
- <40>       상기 메모리 장치(22)는 상기 메모리 컨트롤러(21)에 의하여 제어되며, 상기 모니터

터는 상기 메모리 장치(22)로부터 변경된 정보를 가지는 물체를 표시하며, 상기 메모리 컨트롤러(21)는 상기 모니터 및 상기 메모리 장치(22)의 각종 제어 작업을 담당하는 인터페이스를 제공한다.

<41>       상기 메모리 컨트롤러(21)는 상기 메모리장치(22)로부터 제 1제어신호를 수신하는 제 1제어핀(DC0) 및 상기 메모리장치(22)로부터 제 2제어신호를 수신하는 제 2제어핀(DC1)을 구비한다.

<42>       상기 컨트롤러(21)는 상기 제 1제어핀(DC0) 및 제 2제어핀(DC1)의 상태가 모두 액티브이면 상기 내부정보가 상기 외부정보로 변경되었다고 판단하고, 상기 제 1제어핀(DC0) 및 제 2제어핀(DC1)의 상태가 모두 년액티브이면 상기 내부 정보가 유지되는 것으로 판단한다.

<43>       도 3은 도 2에 도시된 본 발명에 따른 메모리 장치(22)의 구체적인 회로를 나타내는 도면이다.

<44>       도 3을 참조하면, 본 발명에 따른 메모리 장치(22)는 정보 변경회로(30), 제어회로(31), 메모리 셀 어레이(34), 제어핀(DC0, DC1) 및 데이터 입출력 핀(DQ)을 구비한다. 특히 정보 변경회로(30)는 레지스터(32) 및 비교회로(33)를 더 구비한다.

<45>       제어회로(31)는 상기 데이터 입출력 핀(DQ)을 통해 새로운 물체의 외부 정보(depth data)를 수신하며 상기 제 1제어핀(DC0)을 통하여 입력되는 제1 제어신호에 응답하여 상기 외부 정보(WTDC 또는 NWT)를 출력한다.

<46>       상기 제 1제어신호가 년액티브의 경우는 정상적인 기입(normal write)을 위해 메모리 셀 어레이(34)로 상기 외부정보(NWT)를 출력하고, 상기 제 1제어신호가 액티브의 경

우는 정보비교기입(depth compare write)을 위하여 상기 외부 정보 (WTDC)를 레지스터 (32)로 출력한다.

<47>        상기 레지스터(32)는 상기 제어회로(31)의 출력신호(WTDC), 즉 상기 외부 정보를 저장한다.

<48>        상기 비교회로(33)는 상기 제 2제어신호에 응답하여 상기 레지스터의 출력(RS) 와 상기 메모리 셀 어레이(34)에 저장되어 있으며 상기 입력되는 새로운 물체의 좌표와 동일한 좌표에 해당하는 기존물체의 내부 정보(Fcomp)를 비교한다.

<49>        상기 비교회로(33)는 상기 레지스터의 출력 즉, 상기 외부 정보(RS)가 상기 내부정보(Fcomp)보다 낮으면 상기 내부정보(Fcomp)를 변경하기 위해 상기 외부 정보(RS)를 상기 메모리 셀 어레이(34)로 출력한다.

<50>        또 다른 실시예에 의하면, 상기 비교회로(33)는 상기 레지스터의 출력 즉, 상기 외부정보(RS)가 상기 내부정보(Fcomp)보다 높으면 상기 내부정보(Fcomp)를 변경하기 위해 상기 외부 정보(RS)를 상기 메모리 셀 어레이(34)로 출력한다.

<51>        상기 비교회로(33)는 비교결과 상기 내부정보(Fcomp)가 변경되었을 경우 논리 '하이'인 신호(HIT1 또는 HIT2)를 제어핀 들(DC0, DC1)을 통하여 상기 메모리 컨트롤러(21)로 출력한다.

<52>        그러나 상기 내부 정보(Fcomp)가 변경되지 않았을 경우, 즉 상기 외부정보가 상기 내부 정보보다 높은 경우( 또는 다른 실시예의 경우로 상기 외부정보가 상기 내부 정보보다 낮은 경우)는 논리 '로우'('MISS1', 또는 'MISS2' 라 한다) 신호를 제어핀 들(DC0, DC1)을 통하여 메모리 컨트롤러(21)로 출력한다.

- <53> 도 4는 도 3에 도시된 본 발명에 따른 메모리장치(22)의 비교 기록기능 수행시의 타이밍 다이어그램을 나타낸다.
- <54> 이하에서는 도 3 및 도 4를 참조하여 메모리 장치(22)의 정보 비교 기입동작이 더욱 상세히 설명된다.
- <55> 도 3 및 4를 참조하면, 메모리 컨트롤러(21)에 의하여 발생된 기입명령신호 (WR)와 제 1 및 제2 제어신호 및 상기 외부 정보(Dw)는 메모리 장치(22)의 각각의 핀들 (command, DC0, DC1 및 DQ)로 입력된다.
- <56> 상기 제어회로(31)의 동작을 설명한다. 상기 기입명령 신호(WR)가 액티브에서 상기 제 1제어핀(DC0)으로 입력되는 제 1제어신호가 액티브이면, 상기 제어회로 (31)는 정보 비교기록(depth compare write)을 수행하기 위하여 상기 입력된 외부정보를 상기 레지스터(32)로 출력한다. 즉 상기 입력된 외부정보와 제어회로(31)의 출력신호(WTDC)는 동일하다.
- <57> 그러나, 상기 제 1제어신호가 년액티브이면 상기 제어회로(31)는 상기 외부 정보를 상기 메모리 셀 어레이(34)에 기입하기 위하여 출력한다(NWT).
- <58> 또한, 상기 제 1제어신호가 액티브 상태이고 상기 제 2 제어핀(DC1)으로 입력되는 제 2제어신호가 년액티브 상태일 경우에는, 상기 비교회로(33)는 상기 메모리 셀 어레이 (34)내의 상기 내부 정보(Fcomp)와 상기 레지스터(32)의 출력, 즉 상기 외부 정보(RS)을 X비트(여기서 X는 임의의 정수이다. 예컨데 16비트)씩 비교하고, 상기 제 2제어신호가 액티브 상태일 경우에는, 상기 메모리 셀 어레이 내(34)의 상기 내부 정보(Fcomp)와 상기 레지스터의 출력(RS)을 NX비트(여기서 N 및 X는 임의의 정수이다. 예컨데 N=2 이고

X=16의 경우는 32비트가 된다.)씩 비교한다.

<59>      상기 비교회로(33)가 X비트씩 비교하는 경우, 상기 비교결과 상기 외부 정보(RS)가 상기 내부 정보(Fcomp)보다 낮으면(본 발명에 따른 다른 실시예의 경우에는 상기 비교결과 상기 외부 정보(RS)가 상기 내부 정보(Fcomp)보다 높으면) 상기 비교회로(33)는 상기 내부 정보(Fcomp)의 낮은(lower) X비트가 변경되었음을 나타내는 논리 '하이(high)' 신호(HIT1)를 정보 비교기록 명령수행 후 3클락 또는 4클락 사이클(clock cycle) 후 상기 제 1제어핀(DC0)을 통해 상기 메모리 컨트롤러 (21)로 출력하고, 상기 내부 정보(Fcomp)의 높은(upper) X비트가 변경되었음을 나타내는 논리 '하이'신호(HIT2)를 정보 비교기록 명령수행 후 3클락 또는 4클락 사이클(clock cycle) 후 상기 제 2제어핀(DC1)을 통해 상기 메모리 컨트롤러 (21)로 출력한다.

<60>      상기 비교회로(33)가 NX비트씩 비교하는 경우, 상기 비교결과 상기 외부 정보(RS)가 상기 내부 정보(Fcomp)보다 낮으면(본 발명에 따른 다른 실시예의 경우에는 상기 비교결과 상기 외부 정보(RS)가 상기 내부 정보(Fcomp)보다 높으면) 상기 비교회로(33)는 상기 내부 정보(Fcomp)의 NX비트가 변경되었음을 나타내는 논리 '하이'신호(HIT1)를 정보 비교기록 명령수행 후 3클락 또는 4클락 사이클(clock cycle) 후 상기 제 1제어핀(DC0)을 통해 상기 메모리 컨트롤러(21)로 출력한다.

<61>      그러나 X비트 또는 NX비트의 비교결과 상기 내부 정보(Fcomp)가 상기 외부 정보(RS)보다 낮으면(본 발명에 따른 다른 실시예의 경우에는 상기 비교결과 상기 외부 정보(RS)가 상기 내부 정보(Fcomp)보다 높으면) 상기 비교회로(33)는 상기 내부 정보(Fcomp)를 유지한다는 논리 '로우(low)'(MISS1, MISS2)를 정보 비교기록 명령수행 후 3클락 또는 4클락 사이클(clock cycle) 후 각각 상기 제어핀 들(DC0, DC1)을 통하여 상기 메모리



컨트롤러(21)로 출력한다.

<62> 따라서 본 발명의 일실시예에는 상기 외부 정보(RS)가 상기 내부 정보(Fcomp)보다 낮으면 상기 내부정보(Fcomp)가 상기 외부정보(RS)로 대체된다.

<63> 본 발명의 다른 실시예에는 상기 외부 정보(RS)가 상기 내부 정보(Fcomp)보다 높으면 상기 내부정보(Fcomp)가 상기 외부정보(RS)로 대체된다.

<64> 도 5는 메모리 컨트롤러(21)에 의해 제어되는 메모리 메모리 장치(22)가 물체의 정보를 처리하는 방법을 나타내는 흐름도(flow chart)이다.

<65> 도 3 및 도 5를 참조하면, 503단계에서 상기 메모리장치(22)는 상기 메모리 컨트롤러(21)로부터 데이터 입출력 핀(DQ)를 통하여 입력되는 상기 외부정보를 입력받는다. 505단계에서 상기 메모리 장치(22)는 제 1제어 핀(DC0)을 통해 상기 메모리 컨트롤러(21)로부터 입력되는 제 1제어신호(액티브 또는 넌액티브)를 수신하여, 상기 제 1제어신호의 상태를 판단한다.

<66> 이때 상기 제 1제어신호가 액티브 상태 일 경우에는, 상기 제어회로(31) 상기 입출력 데이터 핀(DQ)를 통하여 입력된 외부정보(WTDC)를 상기 레지스터(32)로 출력한다. 521 단계에서 상기 제 1제어신호가 넌액티브 상태일 경우에는 상기 입력된 외부정보를 상기 메모리 장치(22)내의 메모리 셀 어레이(34)로 기입하기 위하여 출력한다.

<67> 507단계에서 상기 메모리 장치(22)는 상기 제 2제어핀(DC1)을 통해 상기 메모리 컨트롤러(21)로부터 입력되는 제 2제어신호(액티브 또는 넌액티브)를 수신하여, 상기 제 2제어신호의 상태를 판단한다.

<68> 상기 제 2제어신호가 액티브 상태인 경우에는 상기 비교회로(33)에서 상기 내부정

보(Fcomp)와 상기 레지스터(32)에 저장된 외부정보(RS)를 NX비트씩 비교한다 (509단계).

<69> 509 단계에서 상기 NX비트씩 비교되는 경우, 상기 외부 정보(RS)가 상기 내부정보 (Fcomp)보다 낮으면(본 발명에 따른 다른 실시예의 경우에는 상기 비교결과 상기 외부정보(RS)가 상기 내부정보(Fcomp)보다 높으면) 상기 내부 정보(Fcomp)의 NX비트는 상기 외부정보(RS)로 변경되며, 상기 내부정보(Fcomp)가 상기 외부정보 (RS)로 변경되었음을 나타내는 논리 '하이'신호(HIT1)를 상기 제 1제어핀(DC0)을 통해 상기 메모리 컨트롤러 (21)로 출력한다(519단계).

<70> 또한, 상기 제 2제어 신호가 년액티브 상태의 경우에는, 상기 내부정보 (Fcomp)와 상기 외부정보(RS)를 X비트씩 비교한다(511단계). 511 단계에서 상기 X비트씩 비교되는 경우, 상기 내부 정보(Fcomp)의 낮은(lower) X비트가 상기 외부 정보(RS)로 변경되었음을 나타내는 논리 '하이'신호(HIT1)를 상기 제 1제어핀(DC0)을 통해 상기 메모리 컨트롤러(21)로 출력하고, 상기 내부정보(Fcomp)의 높은 (upper) X비트가 상기 외부정보(RS)로 변경되었음을 나타내는 논리 '하이'신호 (HIT2)를 상기 제 2제어핀(DC1)을 통해 상기 메모리 컨트롤러(21)로 출력한다(519단계). 여기서 HIT신호는 논리 '로우'도 가능하다.

<71> 그러나 상기 외부 정보(RS)가 상기 내부 정보(Fcomp)보다 높은 경우에는( 본 발명의 다른 실시예의 경우 상기 외부정보(RS)가 상기 내부정보(Fcomp)보다 낮은경우) 상기 내부정보(Fcomp)가 유지된다는 신호인 논리 '로우'(MISS1 또는 MISS2)를 제 1제어핀 (DC0) 및 제 2제어핀(DC1)을 통하여 상기 메모리 컨트롤러(21)로 출력한다. 여기서 MISS 신호는 논리 '하이'도 가능하다.

<72> 상술한 바와 같이 종래의 기술은 한 번의 정보(depth data)를 비교(compare) 및 기

입(write)하기 위해 최소한 10클럭 사이클(clock cycle)이 소요되었으나, 본 발명은 한 번의 정보를 비교 및 기입하기 위해 최소 6클럭 사이클 또는 7클럭 사이클만으로 가능하다. 따라서 본 발명은 종래 기술에 비하여 30%이상의 성능 향상이 있다.

<73>      본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 【발명의 효과】

<74>      상술한 바와 같이 본 발명에 따른 메모리 메모리는 깊이 정보를 비교 기입 기능(write with depth compare function)을 메모리 장치가 부담하여 정보를 비교 기입하는 시간을 감소시켜 메모리 성능을 향상시키는 장점이 있다.

**【특허청구범위】****【청구항 1】**

메모리 컨트롤러에 의해 제어되는 메모리장치에 있어서,

메모리셀 어레이;

상기 메모리 컨트롤러로부터 입력되는 새로운 물체의 외부정보와 상기 메모리셀 어레이에 저장되어 있으며 상기 새로운 물체의 좌표와 동일한 좌표에 해당하는 기존물체의 내부정보를 비교하고, 그 비교결과에 따라 상기 내부정보를 상기 외부정보로 변경하여 기록하는 정보변경회로를 구비하는 것을 특징으로 하는 메모리장치.

**【청구항 2】**

제 1항에 있어서, 상기 정보변경회로는,

상기 내부정보가 변경되었음을 나타내는 신호를 상기 메모리 컨트롤러로 출력하는 것을 특징으로 하는 메모리장치.

**【청구항 3】**

제 1항에 있어서, 상기 정보변경회로는,

상기 입력되는 새로운 물체의 외부정보를 저장하는 레지스터; 및

상기 레지스터에 저장된 새로운 물체의 좌표와 동일한 좌표에 해당하는 상기 기존 물체의 내부정보와 상기 레지스터에 저장된 외부정보를 비교하는 비교회로를 구비하고,

상기 비교회로는 상기 외부정보가 상기 내부정보보다 낮으면 상기 내부정보를 변경하기 위해 상기 외부정보를 상기 메모리 셀 어레이로 출력하고,

상기 내부정보가 변경되었음을 나타내는 신호를 상기 메모리 컨트롤러로 출력하는 것을 특징으로 하는 메모리장치.

**【청구항 4】**

제 1항에 있어서, 상기 정보변경회로는,  
상기 입력되는 새로운 물체의 외부정보를 저장하는 레지스터; 및  
상기 레지스터에 저장된 새로운 물체의 좌표와 동일한 좌표에 해당하는 상기 기존 물체의 내부정보와 상기 레지스터에 저장된 외부정보를 비교하는 비교회로를 구비하고,  
상기 비교회로는 상기 외부정보가 상기 내부정보보다 높으면 상기 내부정보를 변경하기 위해 상기 외부정보를 상기 메모리 셀 어레이로 출력하고,  
상기 내부정보가 변경되었음을 나타내는 신호를 상기 메모리 컨트롤러로 출력하는 것을 특징으로 하는 메모리장치.

**【청구항 5】**

제 3항 또는 제 4항에 있어서, 상기 메모리 장치는,  
상기 메모리 컨트롤러로부터 제 1제어신호를 수신하는 제 1제어핀; 및  
상기 제 1제어신호가 액티브 상태일 때는 상기 외부정보를 상기 레지스터로 전송하고,  
상기 제 1제어신호가 년액티브 상태일 때는 상기 외부정보를 상기 메모리 셀 어레이로 전송하는 제어회로를 더 구비하는 것을 특징으로 하는 메모리장치.

**【청구항 6】**

제 5항에 있어서, 상기 메모리 장치는,

상기 메모리 컨트롤러로부터 제 2제어신호를 수신하는 제 2제어편을 더 구비하고,  
상기 비교회로는,

상기 제 2제어신호가 년액티브 상태일 때는 상기 내부정보와 상기 저장된 외부정보를 X비트씩 비교하고,

상기 제 2제어신호가 액티브 상태일 때는 상기 내부정보와 상기 저장된 외부정보를 NX비트씩 비교하는 것을 특징으로 하는 메모리장치.

**【청구항 7】**

제 6항에 있어서, 상기 비교회로가 X비트씩 비교하는 경우에,

상기 비교회로는

상기 내부정보의 낮은 X비트가 변경되었음을 나타내는 신호를 상기 제 1제어편을 통해 상기 메모리 컨트롤러로 출력하고,

상기 내부정보의 높은 X비트가 변경되었음을 나타내는 신호를 상기 제 2제어편을 통해 상기 메모리 컨트롤러로 출력하는 것을 특징으로 하는 메모리장치.  
모리장치.

**【청구항 8】**

제 6항에 있어서, 상기 비교회로가 NX비트씩 비교하는 경우에,

상기 비교회로는,

상기 내부정보의 NX비트가 변경되었음을 나타내는 신호를 상기 제 1제어편을 통해 상기 메모리 컨트롤러로 출력하는 것을 특징으로 하는 메모리장치.

**【청구항 9】**

메모리 컨트롤러에 의해 제어되는 메모리장치가 물체의 정보를 처리하는 방법에 있어서,

(a) 상기 메모리 컨트롤러로부터 새로운 물체의 외부정보를 입력받아 저장하는 단계;

(b) 상기 메모리 장치 내에 저장되어 있으며, 상기 새로운 물체의 좌표와 동일한 좌표에 해당하는 기존 물체의 내부정보와 상기 저장된 외부정보를 비교하는 단계;

(c) 상기 비교결과에 따라 상기 내부정보를 대체하여 상기 외부정보를 저장하며, 상기 내부정보가 변경되었음을 나타내는 신호를 상기 메모리 컨트롤러로 출력하는 단계를 구비하는 정보처리방법.

**【청구항 10】**

제 9항에 있어서, 상기 (b)단계의 비교결과 상기 외부정보가 상기 내부정보보다 낮은 경우에는,

상기 (c) 단계는,

상기 내부정보를 대체하여 상기 외부정보를 저장하며 상기 내부정보가 변경되었음을 나타내는 신호를 상기 메모리 컨트롤러로 출력하는 단계를 구비하는 정보처리방법.

**【청구항 11】**

제 9항에 있어서, 상기 (b)단계의 비교결과 상기 외부정보가 상기 내부정보보다 높은 경우에는,

상기 (c) 단계는,

상기 내부정보를 대체하여 상기 외부정보를 저장하며 상기 내부정보가 변경되었음을 나타내는 신호를 상기 메모리 컨트롤러로 출력하는 단계를 구비하는 정보처리방법

【청구항 12】

제 9항에 있어서, 상기 정보처리방법은,

상기 (a)단계에 상기 메모리 컨트롤러로부터 제 1제어핀을 통해 제 1제어신호를 수신하는 단계를 더 구비하고,

상기 (a)단계는,

상기 제 1제어신호가 액티브 상태 일 때는 상기 외부정보를 입력받아 저장하는 단계; 및

상기 제 1제어신호가 년액티브 상태일 때는 상기 외부정보를 상기 메모리장치 내의 메모리 셀 어레이에 기입하는 단계를 구비하는 것을 특징으로 하는 정보 처리방법.

【청구항 13】

제 9항에 있어서, 상기 정보처리방법은,

상기 (a) 단계에 상기 메모리 컨트롤러로부터 제 2제어핀을 통해 제 2제어신호를 수신하는 단계를 더 구비하고,

상기 (b)단계는,

상기 제 2제어신호가 년액티브 상태 일 때는 상기 내부정보와 상기 저장된 외부정보를 X비트씩 비교하는 단계; 및

상기 제 2제어신호가 액티브 상태 일 때는 상기 내부정보와 상기 저장된 외부정보를 NX비트씩 비교하는 단계를 구비하는 것을 특징으로 하는 정보처리방법.



**【청구항 14】**

제 13항에 있어서, 상기 (b)단계에서 X비트씩 비교되는 경우에는,

상기 (c)단계는,

상기 내부정보의 낮은 X비트가 변경되었음을 나타내는 신호를 상기 제 1제어핀을 통해 상기 메모리 컨트롤러로 출력하는 단계; 및

상기 내부정보의 높은 X비트가 변경되었음을 나타내는 신호를 상기 제 2제어핀을 통해 상기 메모리 컨트롤러로 출력하는 단계를 구비하는 것을 특징으로 하는 정보 처리 방법.

**【청구항 15】**

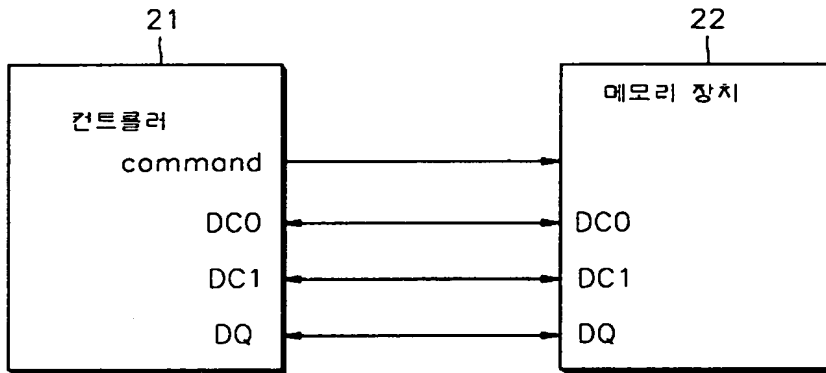
제 13항에 있어서, 상기 (b) 단계에서 NX비트씩 비교되는 경우에는,

상기 (c) 단계는,

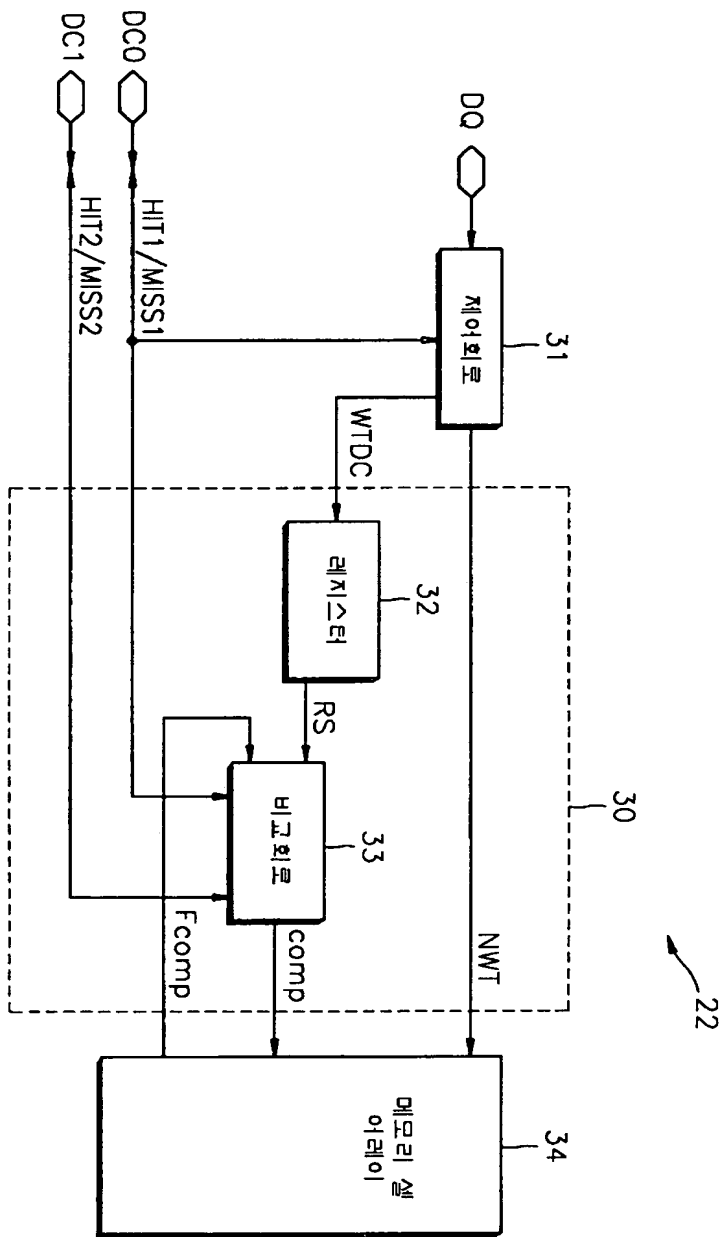
상기 내부정보의 NX비트가 변경되었음을 나타내는 신호를 상기 제 1제어핀을 통해 상기 메모리 컨트롤러로 출력하는 단계를 구비하는 것을 특징으로 하는 정보처리방법.



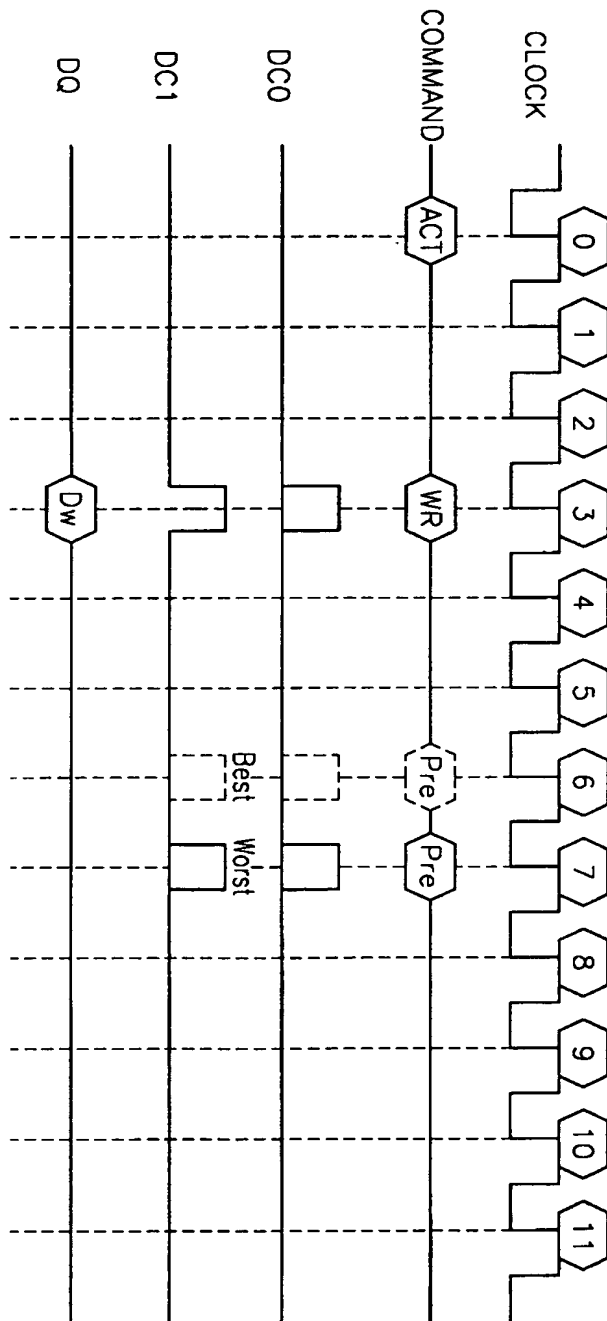
【도 2】



【도 3】



【图 4】



【도 5】

